

10/513965 #2
Rec'd PCT 10 10 NOV 2004
PCT/JP03/10884

日本国特許庁
JAPAN PATENT OFFICE

27.08.03

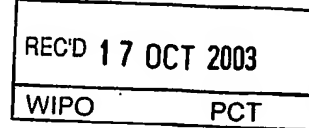
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年 8月28日

出願番号
Application Number: 特願2002-248086
[ST. 10/C]: [JP2002-248086]

出願人
Applicant(s): 松下電器産業株式会社

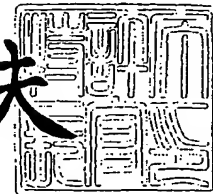


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年10月 1日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3080480

【書類名】 特許願

【整理番号】 2037640122

【提出日】 平成14年 8月28日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133
G09G 3/36

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 道正 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 徳永 祐介

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 土居 康之

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中川 博文

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 伊達 義人

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大森 哲郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 西川 香

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ送受信システム

【特許請求の範囲】

【請求項 1】 クロック信号とそれに同期した複数のデータ信号とを送信するためのドライバ回路を有し、前記ドライバ回路に伝送路を接続して前記クロック信号と前記複数のデータ信号とを同時に伝送するデータ送信システムであって、

前記クロック信号の出力状態を観測して前記クロック信号のハイレベルとローレベルの 2 つの出力電圧を制御する制御系を有し、前記制御系の出力信号を用いて前記複数のデータ信号を出力するドライバ回路の出力値のハイレベルとローレベルを制御することを特徴とするデータ送信システム。

【請求項 2】 前記クロック信号を出力するドライバ回路は、第一電源と第二電源を供給されて動作するドライバ回路であって、

前記ドライバ回路の出力電位は前記第一電源と前記第二電源の出力電圧間の電位であり、前記ドライバ回路は出力端子と前記第一電源とを接続する第一スイッチと、前記出力端子と前記第二電源とを接続する第二スイッチと、前記第一スイッチを駆動する第一駆動パルス発生回路と、前記第二スイッチを駆動する第二駆動パルス発生回路と、前記ドライバ回路のハイレベルとローレベルの出力電位を検出する出力振幅検出回路と、前記出力振幅検出回路の出力電位と前記ドライバ回路のハイレベルとローレベルのそれぞれの出力電位の目標値となる第一と第二の基準電圧とのそれぞれの差を増幅する第一と第二の増幅器と、前記ドライバ回路の出力端子にそれぞれ第三と第四スイッチを介して接続される第一と第二バッファとにより構成され、

前記第一駆動パルス発生回路は前記ドライバ回路の出力ハイレベルが前記第一基準電圧と一致するように前記第一スイッチを駆動する駆動パルス幅を前記第一増幅器によって制御され、前記第二駆動パルス発生回路は前記ドライバ回路の出力ローレベルが前記第二基準電圧と一致するように前記第二スイッチを駆動する駆動パルス幅を前記第二増幅器によって制御され、前記ドライバ回路の出力値がハイレベルの場合にはそれぞれ第三スイッチがオン、第四スイッチがオフし、前

記ドライバ回路の出力値がローレベルの場合にはそれぞれ第三スイッチがオフ、第四スイッチがオンすることを特徴とする請求項1記載のデータ送信システム。

【請求項3】 前記クロック信号を出力するドライバ回路は、第一電源と第二電源を供給されて動作するドライバ回路であって、

前記ドライバ回路の出力電位は前記第一電源と前記第二電源の出力電圧間の電位であり、前記ドライバ回路は出力端子と前記第一電源とを接続する第一スイッチと、前記出力端子と前記第二電源とを接続する第二スイッチと、前記第一スイッチ及び前記第二スイッチを駆動する駆動パルス発生回路と、前記ドライバ回路から出力される信号の振幅値を検出する出力振幅検出回路と、前記出力振幅検出回路の検出した出力振幅値と所望の出力値との差を増幅する増幅器と、前記ドライバ回路の出力端子にそれぞれ第三と第四スイッチを介して接続される第一と第二バッファとにより構成され、

前記駆動パルス発生回路は前記ドライバ回路の出力振幅が前記所望の出力値と一致するように前記増幅器によって制御され、前記ドライバ回路の出力値がハイレベルの場合にはそれぞれ第三スイッチがオン、第四スイッチがオフし、前記ドライバ回路の出力値がローレベルの場合にはそれぞれ第三スイッチがオフ、第四スイッチがオンすることを特徴とする請求項1記載のデータ送信システム。

【請求項4】 クロック信号とそれに同期した複数のデータ信号とを受信するためのレシーバ回路を有し、前記複数のデータ信号は各々データ信号と同数の遅延回路群に入力され、前記遅延回路群の出力値は前記クロック信号によってサンプリングされることを特徴とするデータ受信システム。

【請求項5】 前記遅延回路群の遅延値は、請求項2記載のデータ送信システム中の第一あるいは第二駆動パルス発生回路の発生するパルス幅と正の相関（すなわち、パルス幅が広がれば遅延も大きくなる向きを正の相関とする。）を持つように制御されることを特徴とする請求項4記載のデータ受信システム。

【請求項6】 前記遅延回路群の遅延値は、請求項3記載のデータ送信システム中の駆動パルス発生回路の発生するパルス幅と正の相関を持つように制御されることを特徴とする請求項4記載のデータ受信システム。

【請求項7】 請求項2又は3に記載のデータ送信システムと、請求項4記

載のデータ受信システムとを有することを特徴とするデータ送受信システム。

【請求項 8】 前記データ信号を出力するドライバ回路は、第一電源と第二電源を供給されて動作するドライバ回路であって、

前記ドライバ回路の出力電位は前記第一電源と前記第二電源の出力電圧間の電位であり、前記ドライバ回路は出力端子と前記第一電源とを接続する第一スイッチと、前記出力端子と前記第二電源とを接続する第二スイッチと、前記第一スイッチを駆動する第一駆動パルス発生回路と、前記第二スイッチを駆動する第二駆動パルス発生回路と、前記ドライバ回路の出力端子にそれぞれ第三と第四スイッチを介して接続される第一と第二バッファとにより構成され、

前記ドライバ回路の出力値がハイレベルの場合にはそれぞれ第三スイッチがオン、第四スイッチがオフし、前記ドライバ回路の出力値がローレベルの場合にはそれぞれ第三スイッチがオフ、第四スイッチがオンし、前記第一バッファには第一基準電圧が入力され、前記第二バッファには第二基準電圧が入力されることを特徴とする請求項 1 記載のデータ送信システム。

【請求項 9】 前記データ信号を出力するドライバ回路は、第一電源と第二電源を供給されて動作するドライバ回路であって、

前記ドライバ回路の出力電位は前記第一電源と前記第二電源の出力電圧間の電位であり、前記ドライバ回路は出力端子と前記第一電源とを接続する第一スイッチと、前記出力端子と前記第二電源とを接続する第二スイッチと、前記第一スイッチ及び前記第二スイッチを駆動する駆動パルス発生回路と、前記ドライバ回路の出力端子にそれぞれ第三と第四スイッチを介して接続される第一と第二バッファとにより構成され、

前記駆動パルス発生回路は請求項 3 記載のデータ送信システムにおけるクロック信号を出力するドライバ回路中の増幅器の出力によって制御され、前記データ信号を出力するドライバ回路の出力値がハイレベルの場合にはそれぞれ第三スイッチがオン、第四スイッチがオフし、前記ドライバ回路の出力値がローレベルの場合にはそれぞれ第三スイッチがオフ、第四スイッチがオンすることを特徴とする請求項 1 記載のデータ送信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロックに同期してデータを送受信するデータ送受信システムに関するものである。

【0002】

【従来の技術】

液晶ディスプレイは年々高解像度化が求められ、それに伴い、その液晶ディスプレイを駆動するLSIも、年を追って高性能化されており、より高速で動作するシステムを提供することが求められている。

【0003】

そこで、問題となるのがEMIノイズ等のノイズ対策であり、従来より、より低振幅でデータ転送するLSIが求められている。また、高速化を達成するためにも液晶ドライバのデータ転送には低振幅伝送が必要である。データの低振幅化伝送を達成するための技術としての従来例を2つ挙げる。

【0004】

1つは図10に示すようなバッファアンプを用いる回路である。この回路では、第一バッファアンプ80が第一基準電圧を出力し、第二バッファアンプ81が第二基準電圧を出力する。これらのバッファアンプ80、81の出力がデータ信号により選択される。この回路では高速化しようとした場合、オペアンプが発振しないようにスルーレートやセトリングを向上させねばならず、高速化が難しい点が問題となる。またオペアンプは定常的に電流を消費するためスイッチング素子を使うより消費電力が増加してしまう可能性がある。また、オペアンプは大面積を必要とするため、データ転送をバスで行う場合にLSI面積が大きくなってしまいうという問題点もある。

【0005】

もう一つのデータ転送を低振幅化する従来例としては、図11に示すようにダイオードのようなクリッピング素子82を使う方法が挙げられる。クリッピング素子を使用する方法は回路構成が簡単であるので有望であるが、クリッピング素子82としてはCMOS回路を用いてLSI化した場合はMOSダイオードを用

いる必要がある。すると、クリッピング電圧は1 V程度は必要となる。したがって、データ転送をする場合のデータ信号の振幅を1 Vとしても、最低3 V程度の電源電圧でLSIを動作させる必要がある。ところが低消費電力化のため、近年のLSIでは最低動作電圧は2 V近くまで下げる必要があるため、クリッピング素子を用いたデータの低振幅伝送も採用することが難しくなっているという問題がある(図9 (a) 及び図9 (b) を参照)。

【0006】

【発明が解決しようとする課題】

本発明は、上記の問題点に鑑み、2 V程度の電源電圧時でも1 V程度の低振幅データ伝送が容易に可能なデータ送受信システムを提供することにある。更に、回路構成の小さなデータ送受信システムを提供することにある。

【0007】

【課題を解決するための手段】

本発明に係るデータ送信システムは、クロック信号とそれに同期した複数のデータ信号とを送信するためのドライバ回路を有し、前記ドライバ回路に伝送路を接続して前記クロック信号と前記複数のデータ信号とを同時に伝送するデータ送信システムであって、前記クロック信号の出力状態を観測して前記クロック信号のハイレベルとローレベルの2つの出力電圧を制御する制御系を有し、前記制御系の出力信号を用いて前記複数のデータ信号を出力するドライバ回路の出力値のハイレベルとローレベルを制御するものである。

【0008】

また、本発明に係るデータ受信システムは、クロック信号とそれに同期した複数のデータ信号とを受信するためのレシーバ回路を有し、前記複数のデータ信号は各々データ信号と同数の遅延回路群に入力され、前記遅延回路群の出力値は前記クロック信号によってサンプリングされるものである。

【0009】

本発明により、自分自身ではない自分と同様のデータ送受信システムから出力されたクロック信号と複数のデータ信号とを受信するデータ送受信システムを構築できる。

【0010】

【発明の実施の形態】

以下、図1～図9及び図12を参照して、本発明の実施の形態を詳細に説明する。

【0011】

(第一の実施形態)

本発明の第一の実施形態におけるデータ送受信システムを図1に示す。図1におけるデータ送受信システムは、クロック信号用の送受信システム10、11とデータ信号用の送受信システム12、13とから構成される。本発明の基本的な考え方は、クロック信号は常時あるいは十分な期間送信されているものとし、クロック信号の出力ハイレベルとローレベルとを制御回路によって制御し、その制御信号を用いてデータ信号用送信システム12のハイレベルとローレベルとを制御しようというものである。

【0012】

また、その制御信号を更にクロック用受信システム11に伝達して、データ信号とクロック信号との位相関係が最適な状態でデータをラッチできるデータ受信システム13を構築しようというものである。この発明は、データ及びクロックの送信側負荷及び伝送路条件が受信側の負荷及び伝送路条件とほぼ一致することに着目してなされたものである。すなわち、最適な伝送を実現する場合の送信回路のバイアス条件を用いて受信回路の受信条件をも最適に制御しようというものである。

【0013】

(第二の実施形態)

図2に、本発明における第二の実施形態によるクロック用送信システム10の回路構成を示す。クロック用送信システム10は、ドライバ出力に信号を発生する信号発生部と、出力された信号のハイレベル及びローレベルの信号を検出し、信号発生部のドライブ能力を制御する制御部とから構成される。信号発生部は、信号入力端子20と、ドライバ出力端子21と、信号入力端子20からクロック信号を入力し駆動パルスを発生する第一と第二駆動パルス発生回路24、25と

、第一、第二駆動パルス発生回路 24, 25 の駆動パルスでスイッチのオンオフがそれぞれ制御される第一と第二スイッチ 22, 23 と、更に第一、第二スイッチ 22, 23 が両方オフの場合にハイレベル電圧とローレベル電圧とをホールドするための第一、第二バッファ 32, 33 とより構成される。

【0014】

まず、信号入力端子 20 にハイレベルの信号が入力された場合には、第一駆動パルス発生回路 24 が動作し、第一スイッチ 22 をある一定期間だけオンさせドライバ出力端子 21 の電圧レベルは上昇する。同様に信号入力端子 20 にローレベルの信号が入力された場合には、第二駆動パルス発生回路 25 が動作し、第二スイッチ 23 をある一定期間だけオンさせドライバ出力端子 21 の電圧レベルは下降する。制御部は、出力ハイレベル検出回路 26、出力ローレベル検出回路 27、第一、第二増幅器 28, 29 から構成される。出力ハイレベル及びローレベル検出回路 26, 27 は、それぞれドライバ出力端子 21 の電圧のハイレベル及びローレベルを検出する。

【0015】

出力ハイレベル及びローレベル検出回路 26, 27 は、例えば図 5 に示すようにサンプルホールド回路 50, 51 を 2 個直列接続すれば簡単に構成できる。図 5 において、52 は反転回路、53 はスイッチ、54 は容量である。サンプルホールド回路 50, 51 のスイッチ制御のタイミングであるが、出力ハイレベル検出回路 26 の場合は、第一駆動パルス発生回路 24 から出力される駆動パルスを用い、駆動パルスが発生している間に第一サンプルホールド回路 50 のスイッチをオンするように制御すれば、簡単にドライバ出力のハイレベルを検出することが可能である。反対に出力ローレベル検出回路 27 の場合は、第二駆動パルス発生回路 25 から出力される駆動パルスを用い、駆動パルスが発生している間に第一サンプルホールド回路 50 のスイッチをオンするように制御すれば、簡単にドライバ出力のローレベルを検出することが可能である。

【0016】

次に、この検出されたドライバ出力のハイレベルとローレベルの電圧信号をそれぞれ第一と第二基準電圧 V_{r1} , V_{r2} と比較し、それぞれ第一、第二増幅器

28, 29を通して第一、第二駆動パルス発生回路24, 25にフィードバックすることにより、ドライバの出力レベルはハイレベルが第一基準電圧 V_{r1} に、ローレベルが第二基準電圧 V_{r2} にそれぞれ安定するように回路が動作する。

【0017】

ただし、これだけでは駆動パルスが発生していない間は出力ドライバの出力インピーダンスが非常に高い値になってしまうため、第一と第二バッファ32, 33を設け、ドライバの出力レベルがハイの期間は第一バッファ32をドライバ出力と接続し、他方出力レベルがローの期間は第二バッファ33をドライバ出力と接続することにより出力インピーダンスを必要なレベルまで低く制御する。

【0018】

このようにドライバを構成するスイッチ22, 23のパルス幅を制御することによりドライバ振幅レベルを制御する利点を次にいくつか述べる。

【0019】

まず、パルス幅を制御する方式では、動作はデジタル回路と同じであるので、ドライブの際の消費電力を小さく抑えることが可能である。パルス幅制御の場合、電源からの電流はすべてドライバ出力端子21の負荷容量の充電のために使用される。したがって、電流効率としては100%である。ところがアナログ的なドライバ回路であれば、電源から供給される電流のうち一部しか負荷の充電に使用できない。それはすなわち、アナログ回路の場合、自分自身の回路動作を安定させるバイアス電流が必要だからであり、電流効率は絶対に100%とならない。パルス幅制御方式は、デジタル回路と同じ動作で低消費電力化が可能でありながら、アナログバッファ（例えばボルテージフォロワ回路）のように正確に出力電圧値を制御できるという利点がある。

【0020】

なお、図2中の第一と第二バッファ32, 33はアナログ的なバッファ回路であるが、ドライバ出力電圧を安定に保持することだけが目的であるので、この回路の消費電力は非常に小さく抑えることが可能であり、アナログバッファそのものでドライバ出力負荷を充電するわけではないので、アナログ的なドライバに比べればはるかに消費電力を少なく抑えることが可能である。

【0021】

パルス幅制御を用いるその他の利点としては、ドライバ出力電圧の制御範囲が広いということである。パルス幅制御ではスイッチ22, 23のオン時間を制御するだけで原理的にいかなるドライバ出力電圧をも作り出すことができる。したがって、図9(c)に示すような、従来のアナログ回路を用いると実現が難しかった電源電圧とドライバ振幅との関係を実現することもできる。

【0022】

バッファを用いた場合は、例えば高速化を目指してフィードバック回路を持たないソースフォロワあるいはエミッタフォロワ回路等の回路構成を用いると、入力電圧 V_{in} に対して出力電圧は $V_{in} \pm V_{gs}$ あるいは $V_{in} \pm V_{be}$ となり、どうしても電源電圧からゲートソース間電圧 V_{gs} 、あるいはベースエミッタ間電圧 V_{be} 分だけ、あるいはグランド電位からゲートソース間電圧 V_{gs} 、あるいはベースエミッタ間電圧 V_{be} 分だけ出力範囲が狭くなってしまうという問題点がある。これらを解消しようとしてフィードバックループを持つアナログバッファを用いれば、位相補償に用いる容量のために高速化が難しいという問題点がある。

【0023】

これに比べて、パルス幅制御は高速化も可能であり、同時にドライバの低消費電力化、ドライバ出力振幅の低振幅化が容易に達成できる。

【0024】

(第三の実施形態)

パルス幅制御方式のもう一つの利点は、クロック信号のパルス幅制御に使用したパルス幅の値をデータの受信回路の制御に用いることで、データ受信システムの動作を補償できる点にある。

【0025】

図3に、本発明における第三の実施形態によるデータ送受信システムのブロック図を示す。図3において、40は受信クロックのバッファ（第一バッファ）、41は電圧制御遅延回路、42は受信データのバッファ（第二バッファ）、43はデータのラッチ手段である。クロック用送信システム10は、単一の（第一）

駆動パルス発生回路 24 を有する。34 は増幅器である。

【0026】

図 6 にはクロック及びデータの伝送路でのアイパターンを示す。このアイパターンでデータの遷移幅にあたる時間タイミングで、図 3 中の駆動パルス発生回路 24 が動作し、駆動パルスを発生していることになる。クロックとデータの伝送路に差異がないとすれば、クロックとデータは受信側 11, 13 で受信されたときには図 6 に示すようにデータの遷移タイミングがそろっており、このままでは受信クロックによりデータをラッチできない。そこで、駆動パルス幅の分だけクロックを遅延させれば、受信クロック信号がデータをラッチできるタイミングまでずらすことができる。

【0027】

図 7 に駆動パルス発生回路 24 の回路構成例を示す。この駆動パルス発生回路 24 では、電圧制御遅延回路 60 及び反転回路 61 を用いて入力信号を遅延反転させ、AND ゲート 62 で入力信号との AND 論理をとることにより駆動パルスを発生させるので、受信クロック信号も他の電圧制御遅延回路 41 (図 3) を通過させることにより信号を遅延させ、送信側の駆動パルス発生回路 24 に用いる電圧制御遅延回路 60 と同じ制御電圧を用いることで、図 3 のシステムを実現できる。

【0028】

本発明による第三の実施形態は、特に伝送路の負荷条件が送信部と受信部とで同一であるシステムに有効である。例えば、図 12 に示すような液晶パネル 90 のドライバ部では複数のデータ送受信システム 91 を従属接続して画像データを液晶パネル 90 に伝送するため、各データ送受信システム 91 の受信部と送信部の伝送路の負荷条件は等しくなる。このようなシステムでは、本発明の効果が大いに発揮される。図 12 中の 92 はクロック信号伝送線路、93 はデータ信号伝送線路である。

【0029】

(第四の実施形態)

クロック用送信システム 10 の出力ハイレベルとローレベルを制御する手法と

しては第二の実施形態で示したように、出力のハイレベルとローレベルとをそれぞれ第一及び第二基準電圧 V_{r1} , V_{r2} と比較してフィードバックする方法の他にもいくつか考えられる。

【0030】

第四の実施形態では、出力電圧のハイレベルとローレベル間の振幅値と、第一及び第二基準電圧間の電位差とを比較し、出力のローレベルを第二基準電圧と比較してフィードバック制御する方法を示す。

【0031】

図4に、第四の実施形態に基づくクロック用送信システム10のブロック図を示す。図4ではドライバの第一、第二スイッチ22, 23は同じ第一駆動パルス発生回路24で駆動され、第一駆動パルス発生回路24は第一増幅器35の出力信号で制御される。第一増幅器35は、出力電圧のハイレベルとローレベル間の振幅値と、第一及び第二基準電圧 V_{r1} , V_{r2} 間の電位差とを比較し、その差を増幅出力している。したがって、第一増幅器35はドライバ出力の振幅値を第一及び第二基準電圧 V_{r1} , V_{r2} 間の電位差と同じ値に制御する。

【0032】

第四の実施形態で、出力ドライバの出力レベルは、第一と第二バッファ32, 33によっても決定できるが、図4に示すようにドライバ出力のローレベルと第二基準電圧 V_{r2} とを第二増幅器36で比較増幅し、第二スイッチ23の駆動能力を端子37で制御するようなフィードバックループをつくり、出力ドライバのローレベルを制御することも可能である。

【0033】

この場合、出力のローレベルが決定され、ドライバ出力振幅も決定されるので、自然にドライバ出力のハイレベルも決定される。図8に示すように、ドライバのスイッチ22, 23に直列に電圧制御電流源70, 71を接続し、これらの電流源70, 71に流す電流量を制御すれば、ドライバの駆動能力が決定される。

【0034】

なお、本発明では上記各実施形態に限らずさまざまな制御形態が考えられるが、その技術思想は、ドライバのオン時間を駆動パルス幅で制御することでドライ

バ出力レベルを制御することにあるので、このような制御方式を用いる回路形態であれば本発明の技術思想に含まれると考えられる。

【0035】

【発明の効果】

以上のように、第一の発明によれば、クロック信号の送受信状態を制御するだけでデータ信号の送受信状態を制御できるので、制御回路をそれぞれのデータ線に設ける必要がないため、非常に面積の小さいデータ送受信システムを構築できる。

【0036】

また、第二の発明によれば、いかなる送信レベルを持つデータ送受信システムでもアナログ回路の設計制約を受けずに、更に低消費電力化されたデータ送受信システムを構築できる。

【0037】

また、第三の発明によれば、PLL等の大面積を持つ回路を用いずにデータの受信部を構築できる。

【0038】

また、第四の発明によれば、駆動パルス発生回路を1つしか用いずにデータの送信回路を構築できる。

【図面の簡単な説明】

【図1】

本発明の第一の実施形態によるデータ送受信システムを示す図である。

【図2】

本発明の第二の実施形態によるデータ送受信システム中のクロック用送信システムのブロック図である。

【図3】

本発明の第三の実施形態によるデータ送受信システムのブロック図である。

【図4】

本発明の第四の実施形態によるデータ送受信システム中のクロック用送信システムのブロック図である。

【図 5】

出力ハイレベル／ローレベル検出回路の回路構成例を示す図である。

【図 6】

本発明における第三の実施形態によるデータタイミングを示す模式図である。

【図 7】

駆動パルス発生回路の回路構成例を示す図である。

【図 8】

第四の実施形態によるデータ送受信システムにおけるドライバスイッチの駆動能力の制御方法を示す模式図である。

【図 9】

(a) は電源電圧が高い場合の従来例での、(b) は電源電圧が低い場合の従来例での、(c) は電源電圧が低い場合の本発明でのそれぞれドライバ電圧と電源電圧との関係を示す模式図である。

【図 10】

従来例におけるデータ送信回路例（バッファアンプを用いる方法）を示す図である。

【図 11】

従来例におけるデータ送信回路例（クリッピングダイオードを用いる方法）を示す図である。

【図 12】

液晶パネルのドライバ部への本発明の利用例を示す図である。

【符号の説明】

- 1 0 クロック用送信システム
- 1 1 クロック用受信システム
- 1 2 データ用送信システム
- 1 3 データ用受信システム
- 2 0 信号入力端子
- 2 1 ドライバ出力端子
- 2 2 第一スイッチ

- 23 第二スイッチ
- 24 (第一) 駆動パルス発生回路
- 25 第二駆動パルス発生回路
- 26 出力ハイレベル検出回路
- 27 出力ローレベル検出回路
- 28 第一増幅器
- 29 第二増幅器
- 30 第三スイッチ
- 31 第四スイッチ
- 32 第一バッファ
- 33 第二バッファ
- 34 増幅器
- 35 第一増幅器
- 36 第二増幅器
- 37 駆動能力制御端子
- 40 第一バッファ
- 41 (電圧制御) 遅延回路
- 42 第二バッファ
- 43 ラッチ手段
- 50 第一サンプルホールド回路
- 51 第二サンプルホールド回路
- 52 反転回路
- 53 スイッチ
- 54 容量
- 60 電圧制御遅延回路
- 61 反転回路
- 62 ANDゲート
- 70, 71 電圧制御電流源
- 80, 81 バッファアンプ

8 2 クリッピングダイオード

9 0 液晶パネル

9 1 データ送受信システム

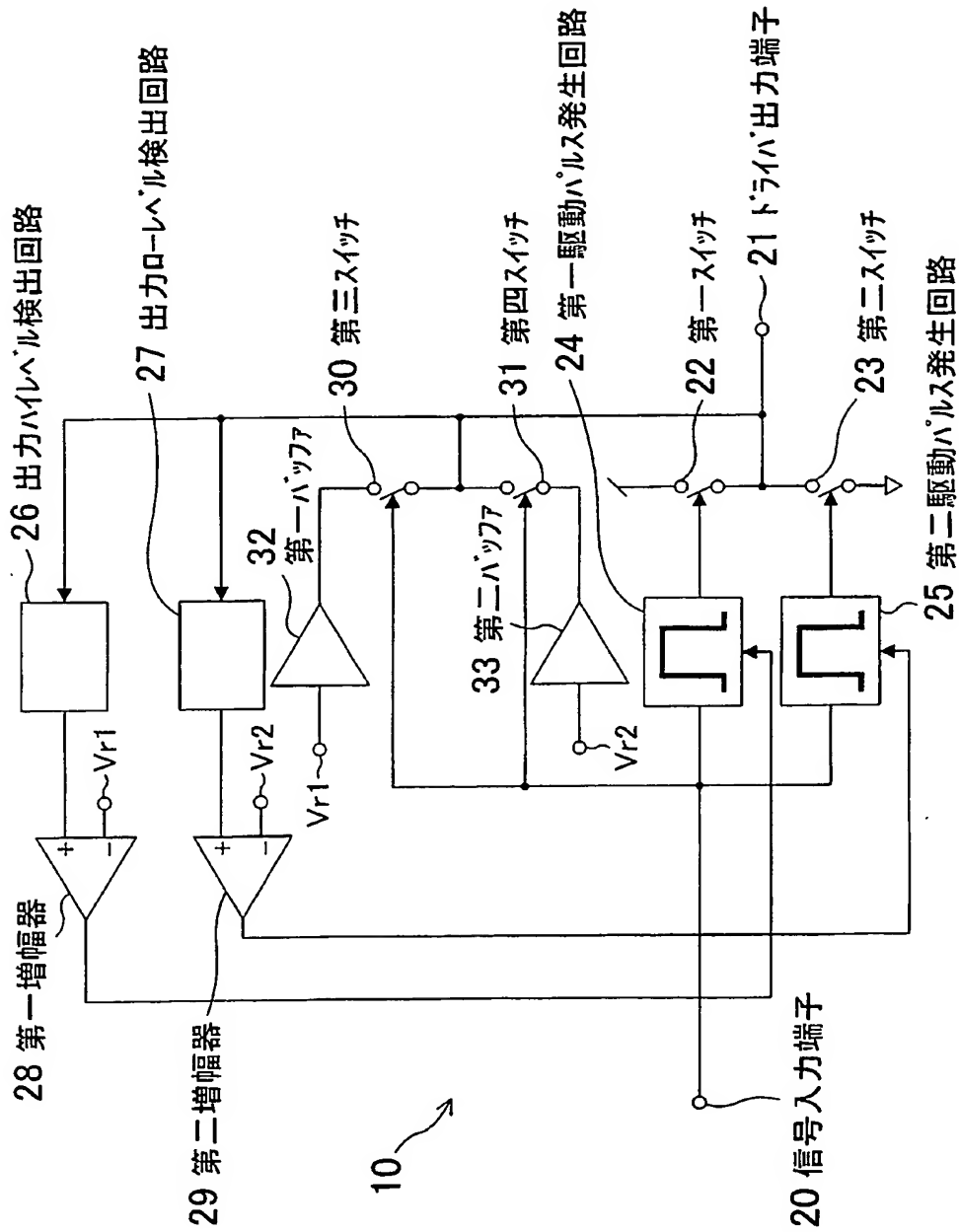
9 2 クロック信号伝送線路

9 3 データ信号伝送線路

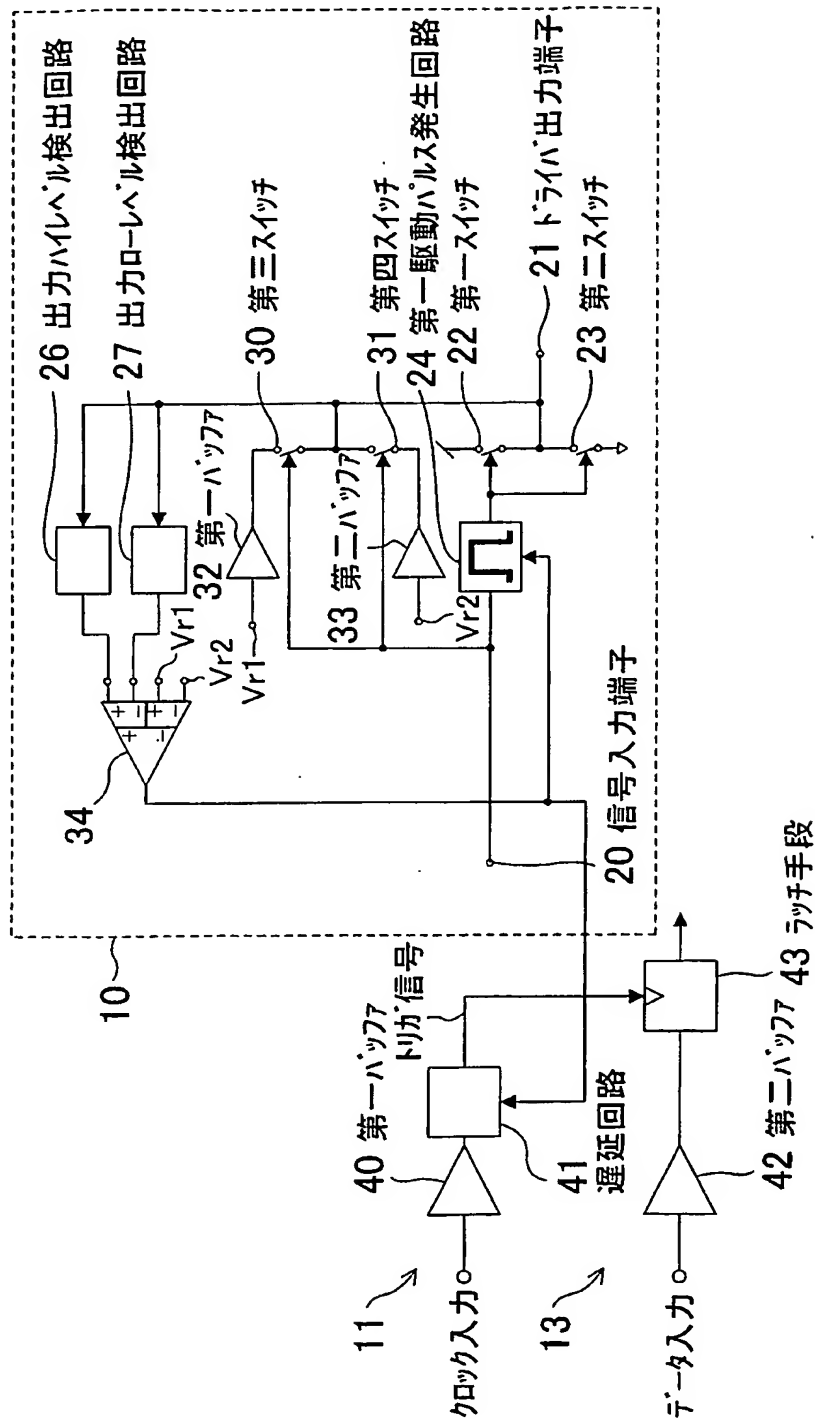
V r 1 第一基準電圧

V r 2 第二基準電圧

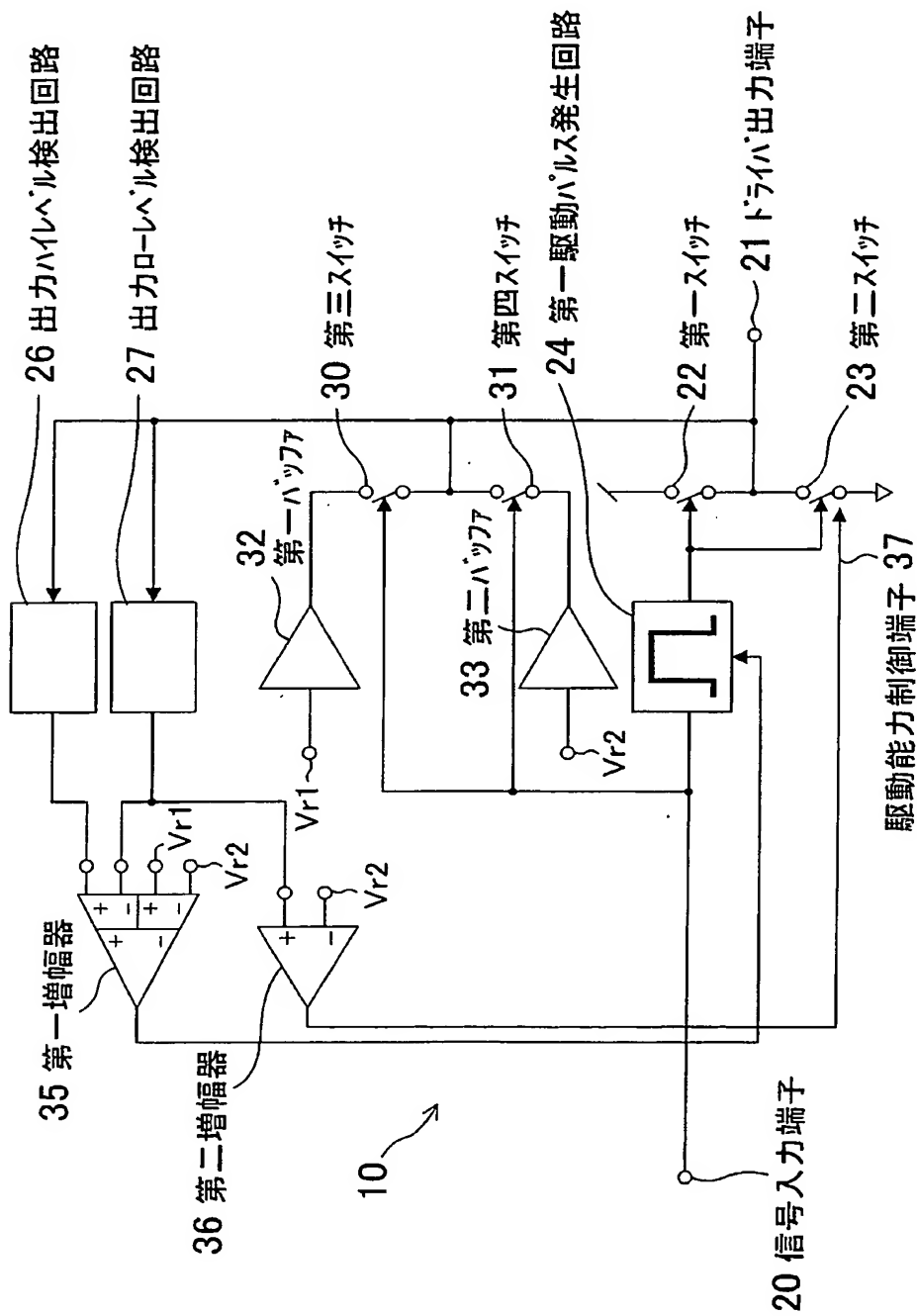
【図 2】



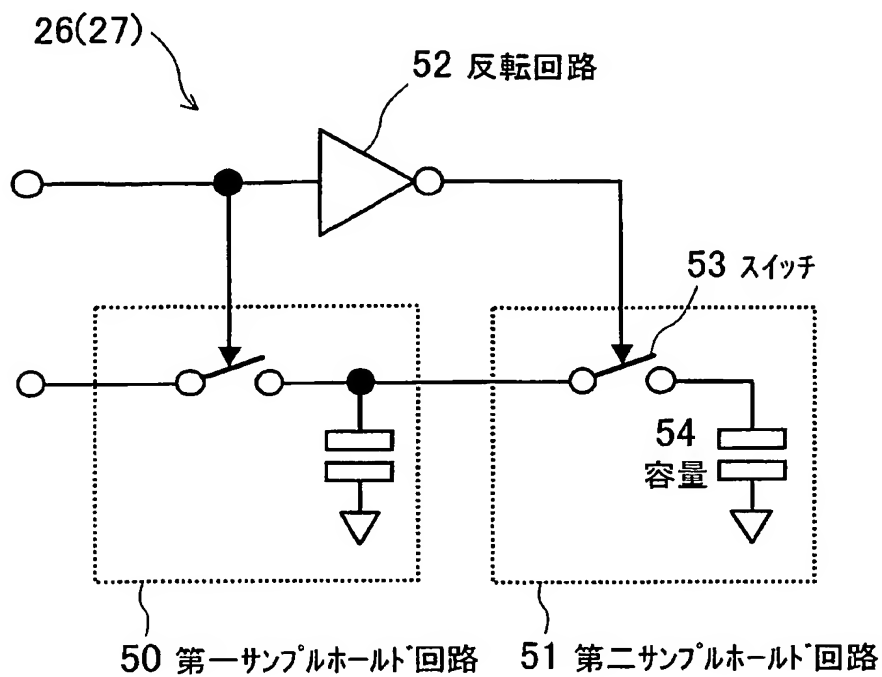
【図 3】



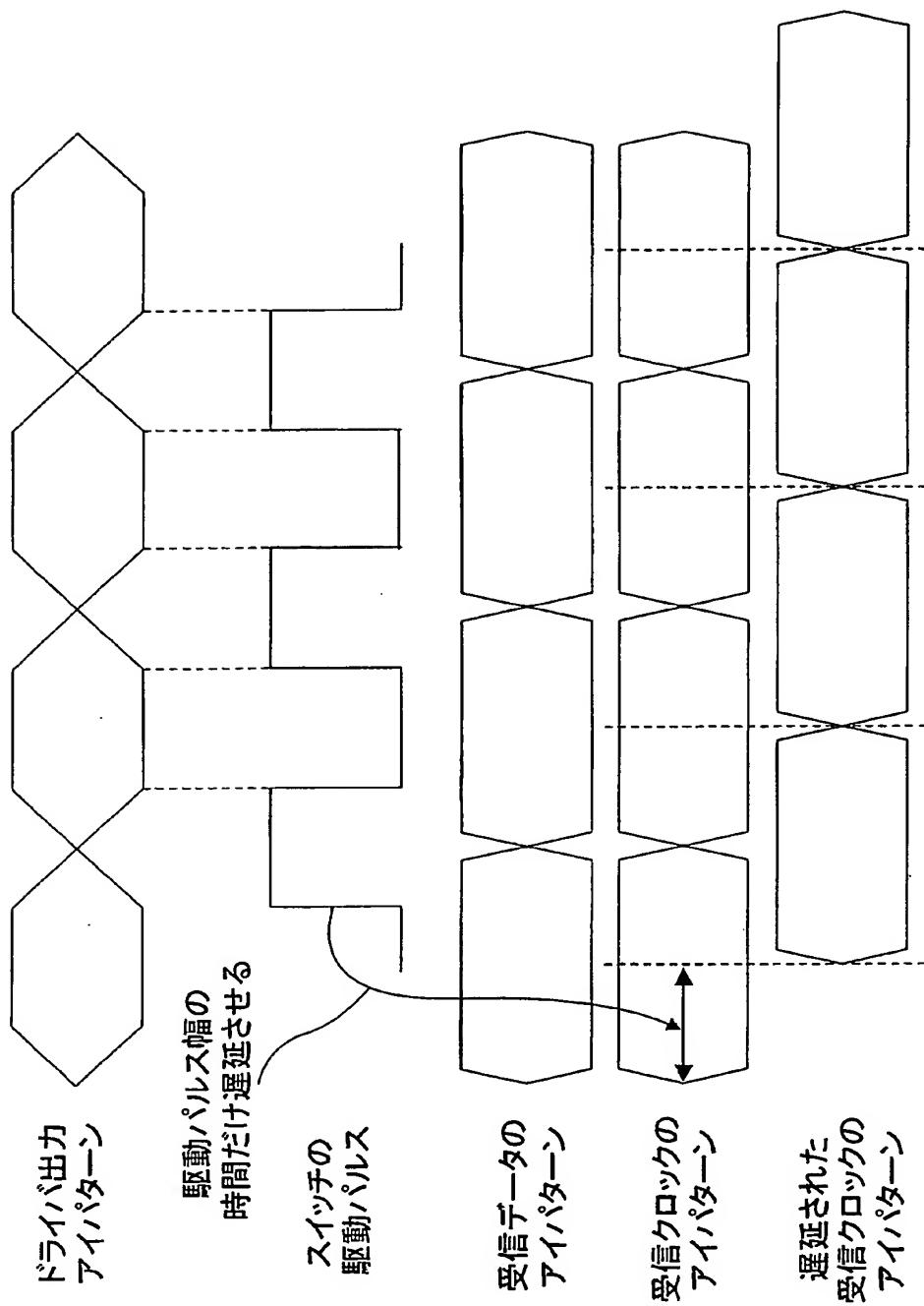
【図 4】



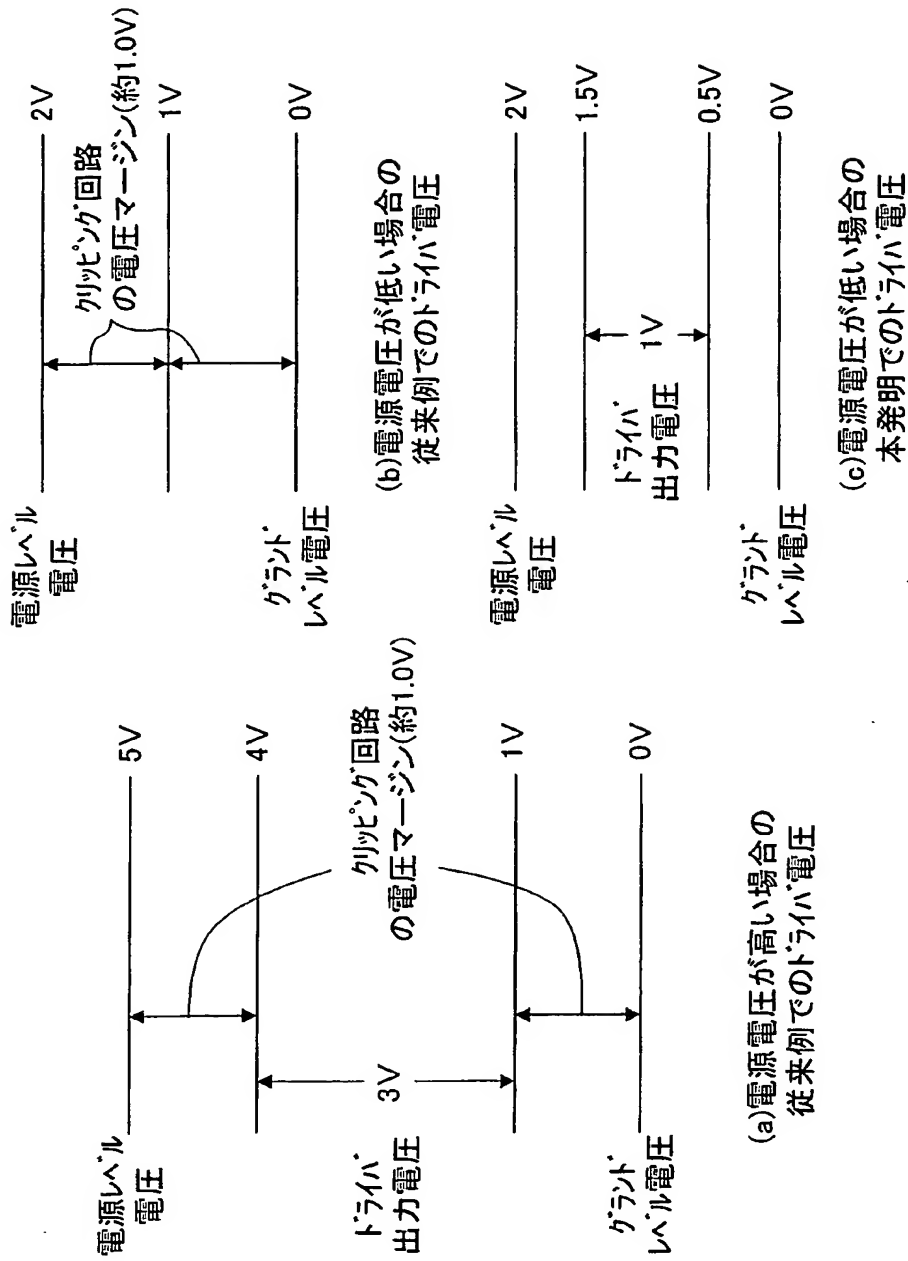
【図 5】



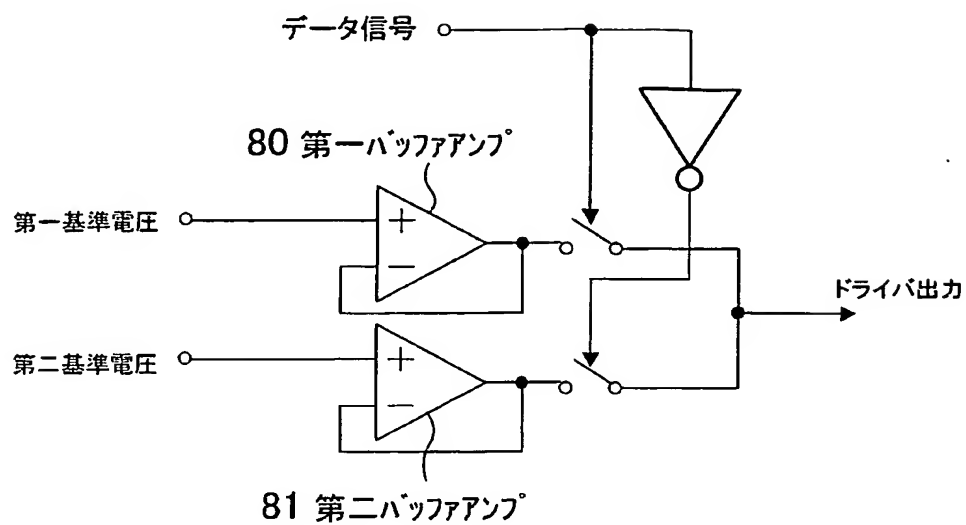
【図 6】



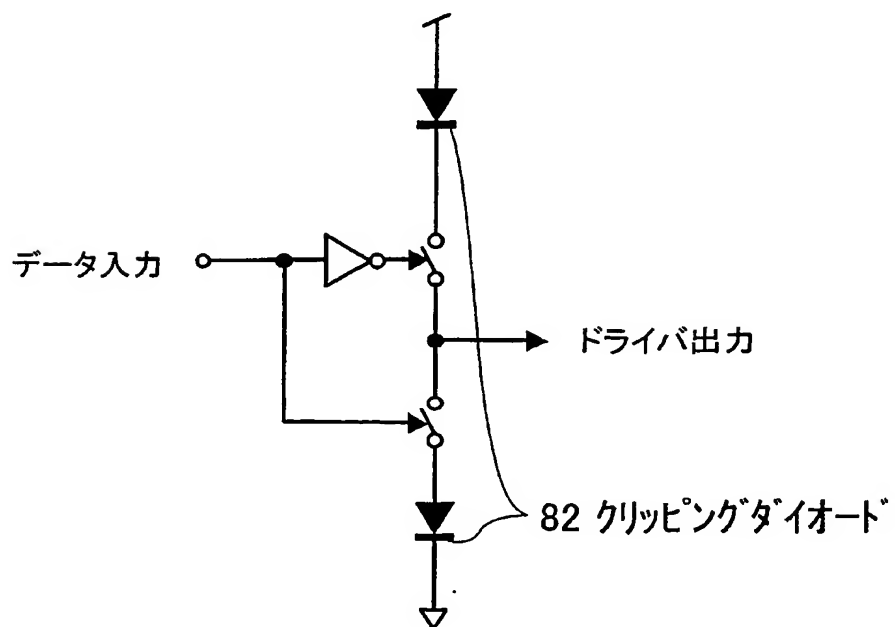
【図 9】



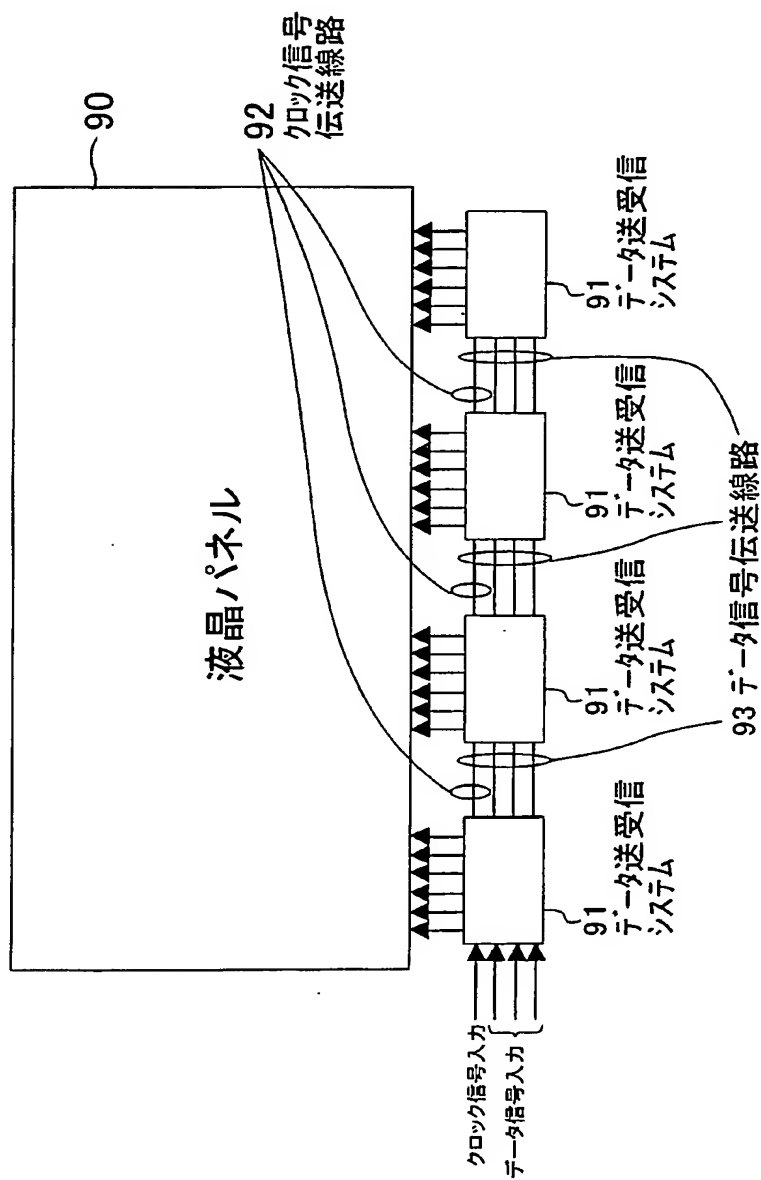
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 データ転送の低消費電力化を図る。

【解決手段】 クロック信号とデータ信号とを転送するデータ送受信システムにおいて、クロック用送信システム 10 にてドライバスイッチのパルス幅をフィードバック制御することでクロック信号を低振幅で送信し、そのパルス幅の制御信号をデータ用送信システム 12 中のドライバスイッチの制御に用いることで、データ信号の低振幅伝送をも同時に実現する。更に、クロック用及びデータ用受信システム 11, 13 にて前記パルス幅の制御信号を受信回路のクロック遅延回路の遅延制御に適用することにより、PLL 回路等を用いずに最適な受信状態を実現する。

【選択図】 図 1

特願 2002-248086

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社